

**DATA RECEIVER**

Patent Number: JP3204254  
Publication date: 1991-09-05  
Inventor(s): KONO SHINYA  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP3204254  
Application Number: JP19900000303 19900105  
Priority Number(s):  
IPC Classification: H04L12/40; H04B1/16  
EC Classification:  
Equivalents: JP2740031B2

---

**Abstract**

---

**PURPOSE:**To discriminate the kind of a received frame and to eliminate the need for a microprocessor for only transferring a data based on the result of discrimination by rewriting the content of a relevant block of a common memory based on a data for scan transmission.

**CONSTITUTION:**Since a received frame is a scan frame, when a frame type discrimination circuit 21 of a scan reception control circuit 13 discriminates the scan frame, the succeeding data is converted into a parallel data by a serial/ parallel conversion circuit 22 of the scan reception control circuit 13 and stored tentatively in a buffer memory 24. Then the frame check sequence incorporated in the end of the reception frame is checked by the frame check circuit 23 to discriminate the normal reception, then a data in the buffer memory 24 by a DMA circuit 26 is transferred to a common memory 15 according to a real address generated by an address generating circuit 25. Thus, no microprocessor is required.

---

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-204254

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月5日

H 04 L 12/40  
H 04 B 1/16

6914-5K  
7928-5K

H 04 L 11/00 320

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 データ受信装置

⑰ 特 願 平2-303

⑱ 出 願 平2(1990)1月5日

⑲ 発 明 者 河 野 慎 哉 東京都府中市東芝町1番地 株式会社東芝府中工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

データ受信装置

2. 特許請求の範囲

各ステーションが各々共通のコモンメモリを有し、このコモンメモリを複数ブロックに分割して各ステーションに割当て、各ステーションは所要データを前記コモンメモリの自局に割り当てられたブロックに書き込んで送信し、この送信データを受けた他のステーションは前記コモンメモリの送信ステーションに割り当てられたブロックの内容を更新するスキャン伝送方式を採用するネットワークシステムのデータ受信装置において、

受信データがスキャン伝送用のデータであるか否かを判断するデータ判断手段と、この判断手段によりスキャン伝送用データであると判定された受信データを取り込むデータ取込み手段と、この取込み手段により取り込んだデータに基いて前記コモンメモリの該当ブロックの内容を書き換えるデータ更新制御手段とを具備したことを特徴とす

るデータ受信装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、スキャン伝送方式を採用するローカル・エリア・ネットワーク(以下LANと略称する)システムのデータ受信装置に関する。

(従来の技術)

LANシステムにおいては、一般に、各ステーション間でデータのやりとりを行うメッセージ伝送方式と、各ステーションが必要データを共有するようにしたスキャン伝送方式とを採用している。前者は送信局のステーションが受信局のステーションを指定してデータを送信し、自局宛てのデータを受信したステーションはその受信データをメモリに書き込んでデータ処理するものであって、この場合のデータ伝送フレームをメッセージフレームと称する。

一方、後者は第3図に示すように、伝送路1を介して接続された複数のステーション2(2a、

2b, 2c, 2d, ...) が各々共通のコモンメモリ3を有し、このコモンメモリ3を複数ブロックに分割して各ステーション2に割当てて、そして、各ステーション2は所要データを前記コモンメモリ3の自局に割り当てられたブロックに書き込み、自局の送信時にそのブロックのデータを同報通信により送信する。しかして、伝送路1を介して同報通信による送信データを受けた他のステーション2は、前記コモンメモリ3の送信ステーションに割り当てられたブロックの内容を更新するようにしたものである。なお、この場合のデータ伝送フレームをスキャンフレームと称している。

このため従来、これらのデータ伝送方式によるデータ送受信が円滑に行われるように、各ステーション2には第4図に示すようなデータ受信装置が設けられていた。このデータ受信装置は、伝送路1を介して送られてきたデータ伝送フレームをモデム4で受信しディジタルデータに変換して伝送制御回路5へ送る。伝送制御回路5では自局宛てまたは同報通信による受信フレームのみを取り

込み、受信バッファメモリ6に書き込む。そして当該フレームの受信を完了すると、第1のCPU(中央処理装置)7に受信完了信号Sを送出して知らせる。受信完了通知を受けた第1のCPU7は、受信バッファメモリ6から受信フレームを取り出してメッセージフレームなのかスキャンフレームなのかを判断し、メッセージフレームの場合にはメッセージ伝送用のメモリ8に当該フレームのデータを転送し、スキャンフレームの場合にはスキャン伝送用のコモンメモリ3の該当ブロックに転送する。しかして、第2のCPU9が上記メモリ8およびコモンメモリ3から必要なデータを取り出して内容を解釈し、必要なデータ処理を行って動作を制御するものとなっている。

しかしながら上記従来装置においては、受信したフレームの種別を判断し、その判断結果に基づいてデータを転送するだけのために、高価で大掛かりなマイクロプロセッサを使用していた。このため、装置全体が高コストにならざるを得ず、また周辺回路の増大に伴って回路実装が複雑化し

ていた。しかも、データの伝送速度を上昇させようとする伝送制御回路5の負荷が非常に大きくなり、受信バッファメモリ6としても高速処理が可能なものに交換しなければ対処できなかった。

(発明が解決しようとする課題)

上述したように、従来のこの種のデータ受信装置においては、装置全体が高コストにならざるを得ず、また回路実装も複雑化していた。しかもデータ伝送速度の高速化が非常に困難であった。

そこで本発明は、受信フレームの種別を判別しその判断結果に基づいてデータを転送するだけのためのマイクロプロセッサを省略することによって、装置全体の低コスト化および回路実装の簡素化をはかり得るとともに、データ伝送速度の高速化を容易に実現できるデータ受信装置を提供しようとするものである。

(発明の構成)

(課題を解決するための手段)

本発明は、各ステーションが各々共通のコモンメモリを有し、このコモンメモリを複数ブロッ

クに分割して各ステーションに割当て、各ステーションは所要データをコモンメモリの自局に割り当てられたブロックに書き込んで送信し、この送信データを受けた他のステーションはコモンメモリの送信ステーションに割り当てられたブロックの内容を更新するスキャン伝送方式を採用するネットワークシステムのデータ受信装置において、受信データがスキャン伝送用のデータであるか否かを判断するデータ判断手段と、この判断手段によりスキャン伝送用データであると判定された受信データを取り込むデータ取込み手段と、この取込み手段により取り込んだデータに基づいてコモンメモリの該当ブロックの内容を書き換えるデータ更新制御手段とを備えたものである。

(作用)

このような手段を講じたことにより、スキャン伝送用データはデータ判断手段によりそのデータ種別が判断された後、データ取込み手段により取り込まれる。応じて、データ送信制御手段によりコモンメモリの該当ブロックの内容が書き換

えられる。一方、スキャン伝送用データ以外の自局宛のデータは従来通りに取り込まれてメモリに書き込まれる。

(実施例)

以下、本発明を第3図に示すLANシステムの各ステーション2に適用した一実施例について、第1図および第2図を参照しながら説明する。

第1図はこの実施例におけるデータ受信装置の全体構成を示すブロック図である。同図においてモデム11は、伝送路1を介して送られてきたデータ伝送フレームのデータをデジタル信号に変換するもので、データ変換後の受信フレームは伝送制御回路12およびスキャン受信用制御回路13に出力される。上記伝送制御回路12は、受信したフレームの中から自局宛のメッセージフレームだけを取り込み、該フレームのデータをメッセージ伝送用のメモリ14に書き込むものである。一方、スキャン受信用制御回路13は、受信したフレームの中から同報通信のスキャンフレームだけを取り込み、該フレームのデータでスキャン伝

送用コモンメモリ15の該当するブロックの内容を書き換えるものである。CPU16は、上記メモリ14およびコモンメモリ15から必要なデータを取り出して内容を解釈し、必要なデータ処理を行って動作を制御する。

第2図は上記スキャン受信用制御回路13の具体的構成を示すブロック図である。図示するように、このスキャン受信用制御回路13は、伝送フレームに含まれるフレーム識別コードを検出して該フレームがメッセージフレームかスキャンフレームかを判定し、判定結果を後述するシリアル/パラレル変換回路22およびフレームチェック回路23に通知するフレーム種別判定回路21、上記フレーム種別判定回路21からスキャンフレームであることが通知されたことに応じて前記モデム11から送られてくるシリアルなデジタル信号をパラレルデータに変換して後述するバッファメモリ24およびアドレス生成回路25へ送出するシリアル/パラレル変換回路22、上記フレーム種別判定回路21からスキャンフレームである

ことが通知されたならばそのスキャンフレームが正常に受信されたか否かを調べ、その結果を後述するDMA(ダイレクト・メモリ・アクセス)回路26に通知するフレームチェック回路23、上記シリアル/パラレル変換回路22から送られてきたパラレルデータを一時的に記憶するバッファメモリ24、上記シリアル/パラレル変換回路22から送られてきたパラレルデータから該当するスキャンフレームのブロック番号あるいはアドレスを示すデータを抽出してスキャン伝送用コモンメモリ15の実アドレスを生成するアドレス生成回路25、前記フレームチェック回路23から正常なスキャンフレームが受信されたことが通知されたならば、上記バッファメモリ24の内容を上記アドレス生成回路25にて生成されたアドレスにしたがってスキャン伝送用コモンメモリ15に転送するDMA回路26、等から構成されている。

このような構成の本実施例においては、LANを構築する各ステーション2でスキャン伝送が行

われる場合、送信局となるステーションは所要データをスキャン伝送用のコモンメモリ3の自局に割り当てられたブロックに書き込む。そして、自局の送信時に当該ブロック内のデータを同報通信によりスキャンフレームとして他のステーションへ送信する。他のステーションにおいてはそれぞれ伝送路1上のフレームデータをモデム11を介して受信し、デジタル信号に変換して伝送制御回路12およびスキャン受信用制御回路13に取り込む。ここで、受信したフレームはスキャンフレームであるから、スキャン受信用制御回路13のフレーム種別判定回路21にてスキャンフレームであることが判定されると、それに続くデータがスキャン受信用制御回路13のシリアル/パラレル変換回路22にてパラレルデータに変換されてバッファメモリ24に一時的に格納される。また、受信フレームのデータ中からブロック番号などが抽出されてコモンメモリ15上の実アドレスが生成される。その後、受信フレームの最後に組み込まれたフレームチェックシーケンスがフレ

ムチェック回路23にてチェックされて正常受信が判定されると、DMA回路26によりバッファメモリ24内のデータがアドレス生成回路25にて生成された実アドレスにしたがってコモンメモリ15に転送される。なお、フレームチェック回路23によりフレームの異常受信が判断された場合には受信データが破棄される。

一方、LANを構築する各ステーション2でメッセージ伝送が行われる場合には、従来と同様に、送信局となるステーションは、所要データをメッセージ伝送用メモリ14に書き込む。そして、受信先のステーションを指定して上記メモリ14上のデータをメッセージフレームとして送信する。受信先のステーションにおいては伝送路1上のフレームデータをモデム11を介して受信し、デジタル信号に変換して伝送制御回路12およびスキャン受信用制御回路13に取り込む。ここで、受信したフレームは自局宛てのメッセージフレームであるから、伝送制御回路12によりそれに続くデータがメッセージ伝送用メモリ14に書き込

まれる。この結果、伝送制御回路12の処理に余裕ができ、スキャン受信用制御回路13の動作範囲内でデータ伝送速度の高速化をはかり得る。

③ スキャンフレームを取り扱う回路が単純になった分だけスキャンフレームを受信してコモンメモリ15の内容を更新するまでの時間を短縮できる。

④ 従来のようにCPUを2個以上使用するとCPU相互間でデータのやりとり等が行われるためソフトウェアが複雑になるが、本実施例ではCPU16が1個で済むためソフトウェアが簡単であり、スループットも上昇する。

⑤ 伝送制御回路12はスキャンフレームを受信しないように構成しなければならないが、このスキャンフレームはグループアドレスを使用して同報で通信されるため、伝送制御回路12が該当するグループアドレスを受けつけないように設定変更することによって、1つのLSIによって構成されている通常の伝送制御回路をLSIの内部を変更することなく適用できる。

まれる。

こうして、スキャン伝送あるいはメッセージ伝送によりコモンメモリ15およびメモリ14に書き込まれたデータは、CPU16によりデータ処理されて各種動作の制御に利用される。

このように本実施例によれば、従来、メッセージフレームかスキャンフレームかを判定してデータを転送するためだけに使用していたマイクロプロセッサとその周辺回路とを省略し、その代りにスキャン受信用制御回路13を用いたので、次のような①～⑤の効果を奏する。

① スキャン受信用制御回路13に組み込まれたバッファメモリ24は1フレーム分のデータを記憶できる容量で賄えるので、スキャン受信用制御回路13を1つのゲートアレイで作ることができる。この結果、装置全体の低コスト化をはかり得る上、回路実装の簡素化をはかり得る。また、消費電流も低減できる。

② 伝送制御回路12はスキャンフレームに関する処理を行わないため、負荷が大幅に軽減さ

なお、スキャンフレームが可変長であっても、そのスキャンフレーム内にデータ長を示すものがあればそれを検出してDMA回路26に転送数をセットするように構成することによって対処できる。また、バッファメモリ24の代りにシフトレジスタを使用したり、モデム11の代りにレシーバを使用できるのは言うまでもない。このほか、本発明の要旨を逸脱しない範囲で種々変形実施可能であるのは勿論である。

#### [発明の効果]

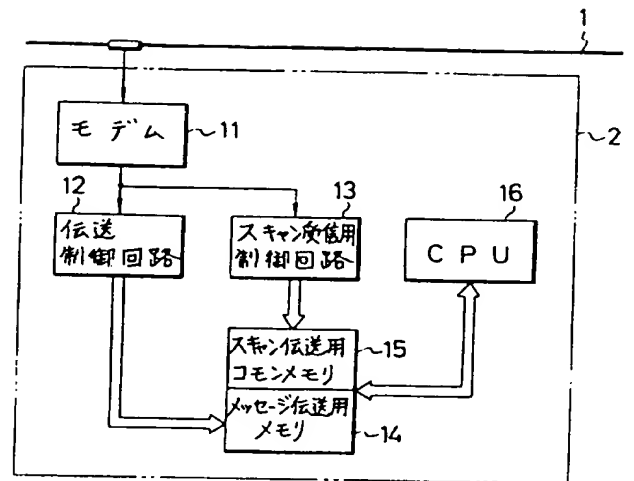
以上詳述したように、本発明によれば、受信フレームの種別を判別しその判断結果に基づいてデータを転送するためのマイクロプロセッサを省略することができ、装置全体の低コスト化および回路実装の簡素化をはかり得るとともに、データ伝送速度の高速化を容易に実現できるデータ受信装置を提供できる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例における全体構成を示すブロック図、第2図は同実施例におけるス

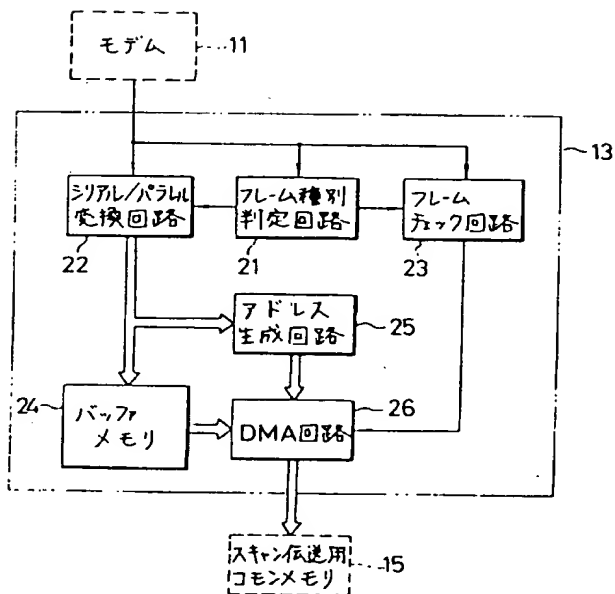
キャン受信用制御回路の具体的構成を示すブロック図、第3図は一般的なLAN（ローカル・エリア・ネットワーク）システムを示す概念図、第4図は従来装置を示すブロック図である。

- 1…伝送路、2…ステーション、  
 11…モデム、12…伝送制御回路、  
 13…スキャン受信用制御回路、  
 14…メッセージ伝送用メモリ、  
 15…スキャン伝送用コモンメモリ、  
 16…CPU。

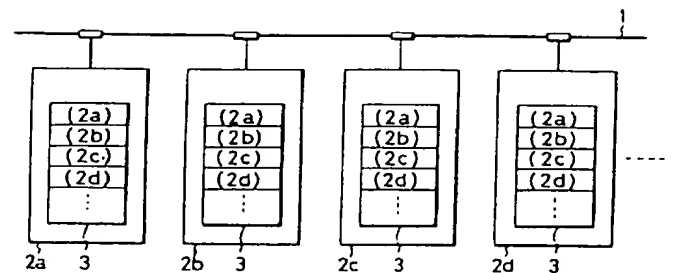


出願人代理人 弁理士 鈴江武彦

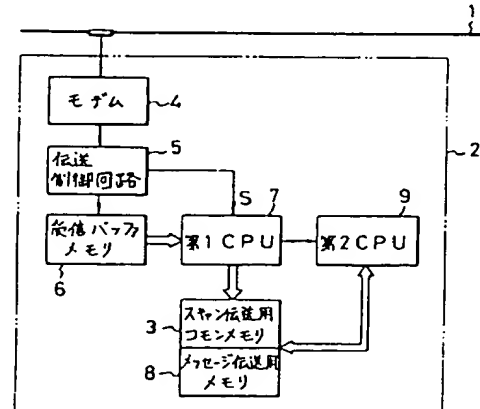
第1図



第2図



第3図



第4図

PTO 04-[0144]

Japanese Patent

Hei 3-204254

**DATA SINK**

[Deta Shushin Sochi]

Shinya Kawano

UNITED STATES PATENT AND TRADEMARK OFFICE

Washington, D.C.

October 2003

Translated by: Schreiber Translations, Inc.

<u>Country</u>	:	Japan
<u>Document No.</u>	:	Hei 3-204254
<u>Document Type</u>	:	Kokai
<u>Language</u>	:	Japanese
<u>Inventor</u>	:	Shinya Kawano
<u>Applicant</u>	:	Toshiba Corporation
<u>IPC</u>	:	H 04 L 12/40, H 04 B 1/16
<u>Application Date</u>	:	January 5, 1990
<u>Publication Date</u>	:	September 5, 1991
<u>Foreign Language Title</u>	:	Deta Shushin Sochi
<u>English Title</u>	:	DATA SINK



## Specification

### 1. Title of the invention

Data Sink

### 2. Claim

A data sink, characterized by the fact that in a data sink of a network system that adopts a scan transmission method in which each station has each common memory, the common memory is divided into several blocks and allocated to each station, each station writes a necessary data into the block allocated to the station of the above-mentioned common memory and transmits it, and other stations after receiving the transmitted data update the contents of the block allocated to the transmission station of the above-mentioned common memory, it is equipped with a data decision means that decides whether or not the received data is a data for a scan transmission, a data introduction means that introduces the received data decided as the data for a scan transmission by the decision means, and a data update control

---

<sup>1</sup> Numbers in the margin indicate pagination in the foreign text.

means that rewrites the contents of the corresponding block of the above-mentioned common memory based on the data introduced by the introduction means.

### 3. Detailed explanation of the invention

(Purpose of the invention)

(Industrial application field)

The present invention pertains to a data sink of a local area network (hereinafter, abbreviated to LAN) system that adopts a scan transmission method.

(Prior art)

In the LAN system, generally, a message transmission method for exchanging data between each station and a scan transmission method that shares a necessary data by each station are adopted. In the former, the transmission station designates a reception station and transmits data, and the station after receiving the data destined to its own station writes the received data into a memory and processes the data. In this case, the data transmission frame is called a message frame.

On the other hand, in the latter, as shown in Figure 3, several stations 2(2a, 2b, 2c, 2d, ...) connected via a /2 transmission line 1 respectively have a common memory 3, and the common memory 3 is divided into several blocks and allocated to

each station 2. Then, each station 2 writes a necessary data into the block allocated to its own station of the above-mentioned common memory 3, and at a time of transmission of its own station, the data of the block is transmitted by a broadcast communication. Then, after receiving the transmitted data of the broadcast communication via the transmission line, other stations 2 update the contents of the block allocated to the transmission station of the above-mentioned common memory 3. Also, in this case, the data transmission frame is called a scan frame.

For this reason, a data sink as shown in Figure 4 has been installed in each station 2 so that the data may be smoothly transmitted and received by these data transmission methods. The data sink receives the data transmission frame transmitted via the transmission line 1 by a modem 4, converts it into a digital data, and transmits it to the transmission control circuit 5. In the transmission control circuit 5, only the reception frame of its own destination or a broadcast communication is introduced and written into a reception buffer memory 6. Then, if the reception of said frame is completed, it is notified to a first CPU (central processing unit) 7 by sending a reception completion signal S. After receiving the reception completion notice, the first CPU 7 draws the reception

frame out of the reception buffer memory 6, decides whether it is the message frame or scan frame, transfers the data of said frame to a memory 8 for a message transmission if the frame is the message frame, and transfers the data to said block of the common memory 3 for a scan transmission if the frame is the scan frame. Then, a second CPU 9 draws necessary data out of the above-mentioned memory 8 and common memory 3, interprets the contents, and controls the operation by a necessary data processing.

However, in the above-mentioned conventional device, since the kind of received frame is decided and data are transferred based on the decision result, an expensive, complicated microprocessor has been used. For this reason, the cost of the entire device cannot but be high, and along with the increase of the peripheral circuit, the circuit mounting has been complicated. Furthermore, the load of the transmission control circuit 5 is extremely increased to raise the data transmission speed, and the reception buffer memory 6 cannot respond to it unless it enables a high-speed processing.

(Problems to be solved by the invention)

As mentioned above, in the conventional data sink, the cost of the entire device cannot but be raised, and the circuit

mounting also has been complicated. Furthermore, a high data transmission speed has been very difficult.

Accordingly, the purpose of the present invention is to provide a data sink that can reduce the cost of the entire device and can simplify the circuit mounting by omitting a microprocessor, which decides the kind of reception frame and transfers data based on the decision result, and can easily realize a high data transmission speed.

(Constitution of the invention)

(Means to solve the problems)

The present invention provides a data sink characterized by the fact that in a data sink of a network system that adopts a scan transmission method in which each station has each common memory, the common memory is divided into several blocks and allocated to each station, each station writes a necessary data into the block allocated to the station of the above-mentioned common memory and transmits it, and the other stations after receiving the transmitted data update the contents of the block allocated to the transmission station of the above-mentioned common memory, it is equipped with a data decision means that decides whether or not the received data is a data for a scan transmission, a data introduction means that introduces the received data decided as the data for a scan transmission by the

decision means, and a data update control means that rewrites the contents of the corresponding block of the above-mentioned common memory based on the data introduced by the introduction means.

(Operation)

With the adoption of this means, for the data for a scan transmission, the kind of data is decided by the data decision means and introduced by the data introduction means. Therefore, the contents of the corresponding block of the common memory are written by the data transmission control means. On the other /3 hand, the data destined to its own station other than the data for a scan transmission is introduced and written into the memory, as is conventional.

(Application example)

Next, an application example in which the present invention is applied to each station 2 of a LAN system shown in Figure 3 is explained referring to Figures 1 and 2.

Figure 1 is a block diagram showing the entire constitution of the data sink in this application example. In said figure, a modem 11 converts a data of a data transmission frame transmitted via a transmission line is converted into a digital signal, and the received frame after the data conversion is output to a transmission control circuit 12 and a control

circuit 13 for a scan reception. The above-mentioned transmission control circuit 12 introduces only the message frame destined to its own station from the frames received and writes the data of said frame into a memory 14 for a message transmission. On the other hand, the control circuit 13 for a scan reception introduces the scan frame of a broadcast communication from the received frames and rewrites the contents of the corresponding block of the common memory 15 for a scan transmission by the data of said frame. A CPU 16 draws necessary data out of the above-mentioned memory 14 and common memory 15, interprets the contents, and controls the operation by a necessary data processing.

Figure 2 is a block diagram showing a detailed constitution of the above-mentioned control circuit 13 for a scan reception. As shown in the figure, the control circuit 13 for a scan reception consists of a frame kind decision circuit 21 that detects a frame identification code being included in the transmission frame, decides whether said frame is a message frame or a scan frame, and notifies the decision result to a serial/parallel converting circuit 22 and a frame check circuit 23 which will be mentioned later, said serial/parallel converting circuit 22 that converts a serial digital signal being transmitted from the above-mentioned modem 11 in

accordance with the notification of the scan frame from the above-mentioned frame kind decision circuit 21 and transmits it to a buffer memory 24 and an address generating circuit 25 which will be mentioned later, said frame check circuit 23 that investigates whether or not the scan frame is normally received if the scan frame is notified from the above-mentioned frame kind decision circuit 21 and notifies the result to a DMA (direct memory assess) circuit 26 which will be mentioned later, said buffer memory 24 that temporarily stores a parallel data being sent from the above-mentioned serial/parallel converting circuit 22, said address generating circuit 25 that extracts a data showing the block number or address of the corresponding scan frame out of the parallel data sent from the above-mentioned serial/parallel converting circuit 22 and generates an actual address of the common memory 15 for a scan transmission, said DMA circuit 26 that transfers the contents of the above-mentioned buffer memory 24 to the common memory 25 for a scan transmission in accordance with the address generated by the above-mentioned address generating circuit 25 if it is notified from the above-mentioned frame check circuit 23 that a normal scan frame has been received, etc.

In this application example with such a constitution, in case a scan transmission is carried out by each station 2



constituting the LAN, the station being a transmission station writes a necessary data into the block allocated to its own station of the common memory 3 for a scan transmission. Then, during the transmission of its own station, the data in the corresponding data is transmitted as a scan frame to other stations by a broadcast communication. The other stations respectively receive the frame data on the transmission line 1 via the modem 11, convert them into digital signals, and introduce them into the transmission control circuit 12 and the control circuit for a scan transmission. Here, since the received frame is a scan frame, if the scan frame is decided by the frame kind decision circuit 21 of the control circuit 13 for a scan reception, its subsequent data is converted into a parallel data by the serial/parallel converting circuit 22 of the control circuit 13 for a scan reception, and temporarily stored in the buffer memory 24. Also, the block number, etc., are extracted from the data of the received frame, and an actual address on the common memory 15 is generated. Then, if the frame check sequence being introduced into the end of the received frame is checked by the frame check circuit 23 and a /4 normal reception is decided, the data in the buffer memory 24 is transferred to the common memory 15 in accordance with the actual address generated by the address generating circuit 25

from the DMA circuit 26. Also, in case an abnormal reception of the frame is decided by the frame check circuit 23, the received data is destroyed.

On the other hand, in case the message transmission is carried out by each station 2 constituting the LAN, the station being a transmission station writes a necessary data into the memory 14 for a message transmission, as is conventional. Then, the station of the reception destination is designated, and the data on the above-mentioned memory 14 is transmitted as a message frame. The station of the reception destination receives the frame data on the transmission line 1 via the modem 11, converts it into a digital signal, and introduces it into the transmission control circuit 12 and the control circuit 13 for a scan reception. Here, since the frame received is a message frame destined to its own station, its subsequent data is written into the memory 14 for a message transmission by the transmission control circuit 12.

Thus, the data written into the common memory 15 and the memory 14 by the scan transmission or message transmission are processed by the CPU 16 and utilized in the control of various kinds of operations.

Thus, according to this application example, a microprocessor and its peripheral circuit, which have been used

only to decide whether the frame is a message frame or a scan frame and to transfer data are omitted, and instead of them, the control circuit 13 for a scan reception is used. Thus, the following effects (1)-(5) are exerted.

(1) Since the buffer memory 24 assembled in the control circuit 13 for a scan reception has a capacity that can store data of one frame, the control circuit 13 for a scan reception can be formed by one gate array. As a result, the cost of the entire device can be reduced, and the circuit mounting can be simplified. Also, the current consumption can be reduced.

(2) Since the transmission control circuit 12 does not carry out the processing on the scan frame, the load is largely lightened. As a result, a margin is formed in the processing of the transmission control circuit 12, and a high data transmission speed can be realized in the operation range of the control circuit 13 for a scan reception.

(3) Since the circuit for processing the scan frame is simplified, the time until the contents of the common memory 15 are updated from the reception of the scan frame can be shortened as much.

(4) If two or more CPUs are used as is conventional, since data are exchanged between the CPUs, the software is complicated. However, in this application example, since one

CPU 16 is used, the software is simple, and the throughput is also raised.

(5) The transmission control circuit 12 must be constituted so that the scan frame may not be received, however since the scan frame is broadcast-communicated using a group address, an ordinary transmission control circuit constituted by one LSI can be applied, without changing the inside of the LSI, by setting and changing the transmission control circuit 12 so that it may not receive the corresponding group address.

Also, even if the scan frame has a variable length, if there is a frame showing the data length among the scan frames, it is detected, and the number of transfer is set in the DMA circuit 26. Also, needless to say, a shift register can be used instead of the buffer memory 24, and a receiver can be used instead of the modem 11. In addition, needless to say, the present invention can be variously modified and applied in the range where its essence is not deviated.

(Effects of the invention)

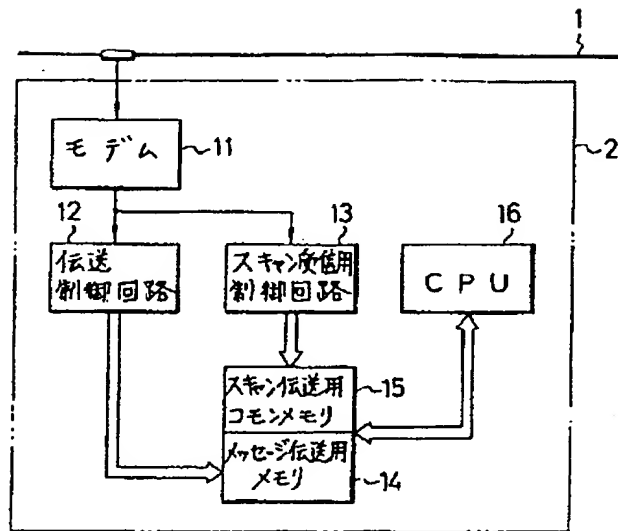
As mentioned above in detail, according to the data sink of the present invention, a microprocessor which decides the kind of received frame and transfers data based on the decision result can be omitted, so that the entire device can be reduced

and the circuit mounting can be simplified. At the same time, a high data transmission speed can be realized.

#### 4. Brief description of the figures

Figure 1 is a block diagram showing the entire constitution in an application example of the present invention. Figure 2 is a block diagram showing a detailed constitution of a control circuit for a scan reception in said application example. /5  
Figure 3 is a conceptual diagram showing a general LAN (local area network) system. Figure 4 is a block diagram showing a conventional device.

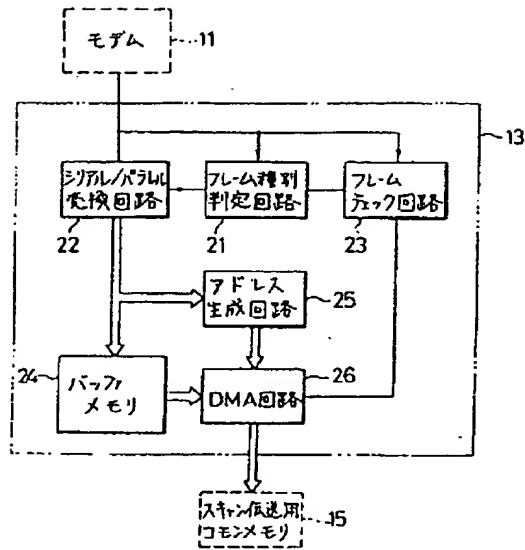
- 1     Transmission line
- 2     Station
- 11    Modem
- 12    Transmission control circuit
- 13    Control circuit for a scan reception
- 14    Memory for a message transmission
- 15    Common memory for a scan transmission
- 16    CPU



第 1 図

Figure 1:

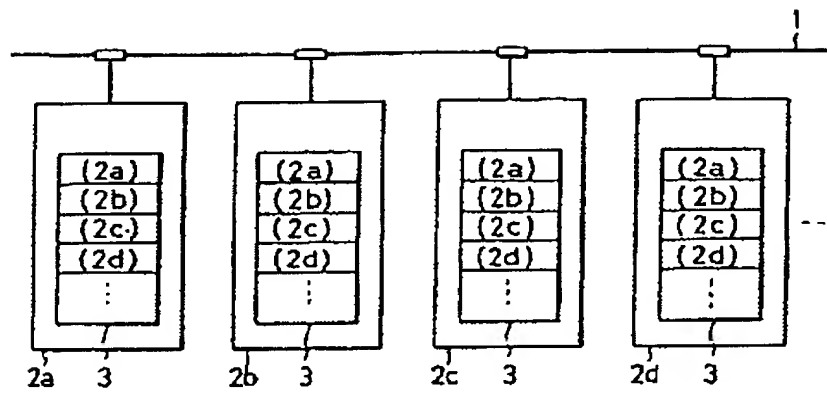
- 11 Modem
- 12 Transmission control circuit
- 13 Control circuit for a scan reception
- 14 Memory for a message transmission
- 15 Common memory for a scan transmission



第 2 図

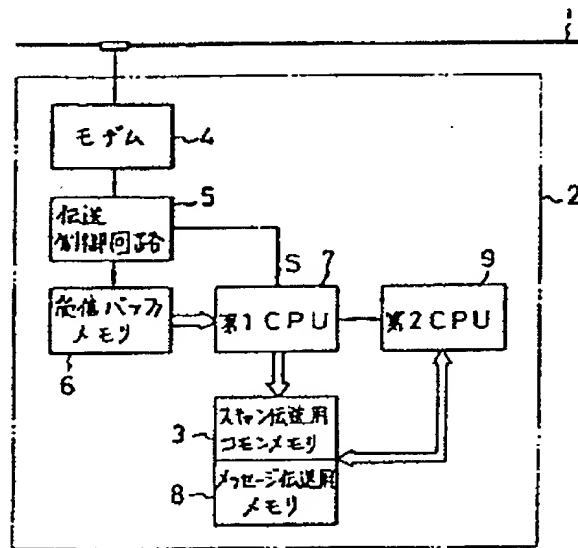
Figure 2:

- 11 Modem
- 15 Common memory for a scan transmission
- 21 Frame kind decision circuit
- 22 Serial/parallel converting circuit
- 23 Frame check circuit
- 24 Buffer memory
- 25 Address generating circuit
- 26 DMA circuit



第 3 図

Figure 3



第 4 図

Figure 4:

- 3 Common memory for a scan transmission
- 4 Modem
- 5 Transmission control circuit
- 6 Reception buffer memory



- 7 First CPU
- 8 Memory for a message transmission
- 9 Second CPU